

文章编号:1007-2780(2014)06-0989-08

PDP 列驱动芯片能量恢复效率模型

华国环*,刘清愫

(南京信息工程大学 电子与信息工程学院,江苏 南京 210044)

摘要:为了分析 PDP 列驱动芯片的能量恢复效率,提出了 2 种分析模型。DPLD(double-channel p-type lateral extended drain MOS)管是列驱动芯片中能量恢复电路的核心元器件。CRC(电容-电阻-电容)等效电路模型适用于漏电流能力较弱的 DPLD 管;VCCS(压控电流源)模型适用于漏电流能力较强的 DPLD 管;测试结果显示 CRC 和 VCCS 模型都具备较高的精度,模型误差分别是 2.26%和 4.04%。CRC 模型揭示了影响列驱动芯片能量恢复效率的因素有 3 个,分别是:充电时间、沟道电阻、负载电容。2 种模型分析的对比结果表明,沟道电阻对列驱动芯片的能量恢复效率影响很大,使用较小沟道电阻的 DPLD 管可以显著提高 PDP 列驱动芯片的能量恢复效率。CRC 和 VCCS 模型可用于精确预测列驱动芯片的能量恢复效率。

关键词:分析模型;PDP 列驱动芯片;DPLD 管;寻址功耗;能量恢复效率
中图分类号:TN43 **文献标识码:**A **doi:**10.3788/YJYXS20142906.0989

Models for energy recovery efficiency of PDP data driver IC

HUA Guo-huan*, LIU Qing-quan

(School of Electronic & Information Engineering, Nanjing University of Information Science & Technology, Nanjing 210044, China)

Abstract: Two analytical models are proposed to analyze the energy recovery efficiency of PDP data driver IC. DPLD (double-channel p-type lateral extended drain MOS) transistor is the key device of energy recovery circuit of data driver IC. CRC (Capacitor Resistor and Capacitor) equivalent circuit model is suitable for DPLD transistor which has poor drain current capacity. VCCS (Voltage Controlled Current Source) model is suitable for DPLD transistor which has strong drain current capacity. The test results reveal that both CRC and VCCS models have high precision, the model errors are 2.26% and 4.04%. CRC model reveals that the energy recovery efficiency of data driver IC is influenced by three factors, which are the charge time, channel resistor and load capacitor. The compared results of two models show that channel resistor has great influence on energy recovery efficiency of data driver IC. The energy recovery efficiency of PDP data driver IC can be improved significantly by using DPLD transistor which has smaller channel resistor. The proposed CRC and VCCS models can be used to predict the energy recovery efficiency accurately.

Key words: analytical model; PDP data driver IC; DPLD transistor; address power; energy recovery efficiency

收稿日期:2014-02-19; **修订日期:**2014-03-27.

基金项目:国家公益性行业科研专项(No. GYHY201306079);国家自然科学基金(No. 41275042);江苏高校优势学科建设工程资助项目;南京信息工程大学科研基金(No. 2013X046)

* 通信联系人, E-mail: hgh20010@163.com

1 引言

等离子显示 (PDP)、液晶显示 (LCD)、LED (light emitting diode) 背光的液晶显示、有机发光二极管 (OLED) 是几种重要的平板显示技术。OLED 显示器拥有众多的优点: 例如高对比度、高效率、较宽的可视角度、刷新率高、结构简单^[1]。但是, OLED 电视有一些严重的缺陷: 例如寿命退化问题, 以及高昂的制造成本^[2]。因此, OLED 电视在平板电视领域还没有得到广泛使用。传统 LCD 电视和 LED 电视的主要区别是背光源不同。LED 电视相较于 LCD 电视有以下优点: 低功耗、超薄、画质更佳^[3]。PDP 电视有一些内在的优点: 例如自发光、刷新率高、动态显示效果好^[4-5]。来自 value electronics 的 2013 年度平板电视专业画质测试结果显示, PDP 显示技术依旧拥有最佳的综合显示效果^[6]。PDP 电视普遍具备 600 Hz 的图像刷新频率, 所以 PDP 电视非常适合 3D 图像显示^[7]。但是, 当平板电视的尺寸大于 127 cm (50 in) 时, PDP 电视的功耗要比 LCD 电视大。

PDP 电视的功耗由 3 部分组成: 静态功耗、维持功耗和寻址功耗^[8]。静态功耗, 又称为固有功耗, 它可以通过显示全黑图像来测量。维持期功耗有 X、Y 驱动电路功耗以及 X、Y 两电极对向放电产生的功耗组成^[9-10]。国内外很多关于 PDP 能量恢复技术的研究都集中在 X、Y 板级能量恢复电路的改进设计及优化上^[11-14]。比如通过使用放电补偿的方法, 维持电路中的开关管都可以实现 ZVS 开启, 并且屏电压没有明显的掉落^[11]。Sangshin Kwak 提出的维持电路跟传统的 Weber 电路相比, 它的电压只有一半, 这带来的好处是半导体器件的应力降低, 同时成本降低^[12]。通过在谐振中使用额外的功耗注入, 维持电路可以工作在 ZVS 模式^[13]。在 Jae-Kyu Park 提出的维持电路中, 同步电流建立的方法增强了屏电压波形上升和下降时间的灵活性, 并且减小了电感中电流的平均值^[14]。上述能量恢复技术研究都是关于板级能量恢复性能提升和降低功耗的。

寻址功耗由 PDP 列驱动芯片自身功耗以及 A、Y 两电极之间对向放电产生的功耗组成^[15]。寻址期功耗是 PDP 整机功耗的重要组成部分, 尤

其在 3D 显示 PDP 电视中。在显示白色隔点图像时, 寻址功耗大约占系统总功耗的 20%。但是涉及芯片级的能量恢复电路的研究报道很少。

为了分析 PDP 列驱动芯片的能量恢复效率, 寻求降低寻址功耗的有效方法, 本文提出了两个分析模型。分析结果揭示了列驱动芯片能量恢复效率的影响因素有 3 个: 充电时间 T_E , 沟道电阻 R_{on} , 负载电容 C_L 。文中通过 PDP 系统测试验证了分析模型的精确度。本文提出的分析模型可以指导 PDP 列驱动芯片的设计。

2 列芯片能量恢复工作原理

图 1 是目前大量应用的 256 路列驱动芯片的框图, D1~D8, CLK1 和 CLK2 组成 5 对 RSDS (Reduced Swing Differential Signaling) 输入接口。CE 信号是芯片的使能信号, 当 CE 置高的时候, 列驱动芯片能正常工作。DIR 信号决定 RGB 数据在列驱动芯片中的传输方向, 当 DIR 为高的时候, RGB 数据信号的传输方向是 OUT1→OUT256; 反之, RGB 数据信号的传输方向相反。STB 信号是锁存器 Latch 的控制信号, 当 STB 信号处于下降沿时, 锁存器中的数据传输给能量恢复模块。CSE 信号是能量恢复模块的使能信号, 当 CSE 信号置高时, 列驱动芯片的能量恢复电路开启。EC 信号是双向端口, 能量恢复的电流就经过该端口流入或者流出列驱动芯片。

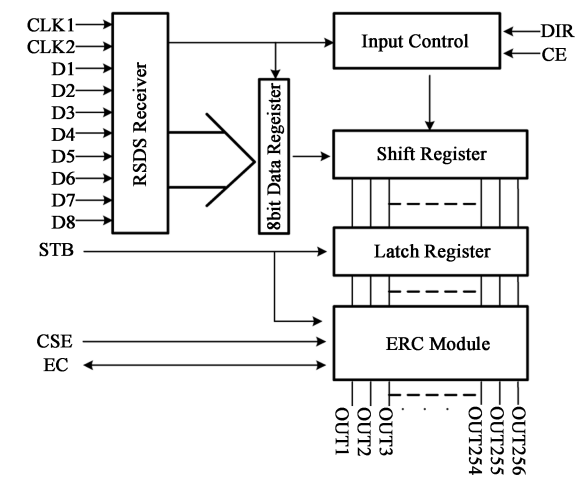


图 1 PDP 列驱动芯片的组成框图
Fig. 1 Block diagram of PDP data driver IC

能量恢复模块包含有 256 个能量恢复基本单元,每个单元的组成原理图见图 2。

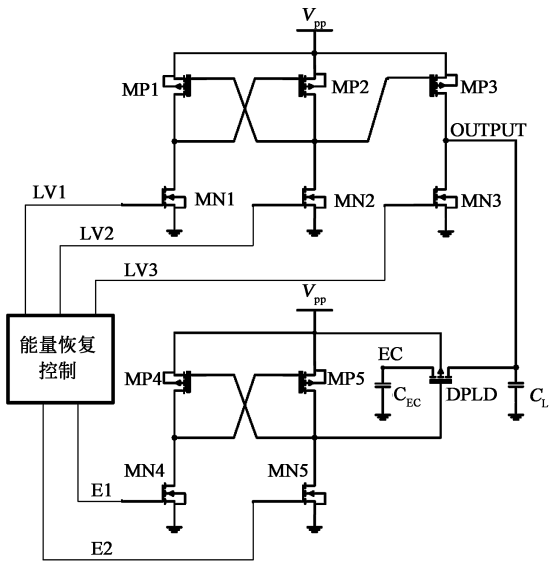


图 2 能量恢复模块原理图
Fig. 2 Schematic of energy recovery module

在图 2 中,能量恢复控制模块是 CSE、STB 和低压数据信号的逻辑组合。MP1~MP5 是 P 型横向扩散 MOS(pLED MOS)晶体管;MN1~MN5 是 N 型横向扩散 MOS(nLED MOS)晶体管; C_{EC} 是储能电容,存储的电荷来自于 V_{pp} (高压电源端); C_{EC} 电容位于列驱动芯片的外部,没有集成在芯片内部。 C_L 是寻址电极的等效电容。DPLD 管采用 100 V 高压 CMOS 工艺平台加工而成^[16],DPLD 管是个高压开关管,控制着能量恢复单元电路中电荷存储释放过程中的通断。MP1~MP3 以及 MN1~MN3 共 6 个晶体管,组成了列驱动芯片的高压驱动电路,这 6 管结构是 PDP 列驱动芯片中广泛使用的经典结构。LV1~LV3 信号是 MN1~MN3 晶体管的栅极驱动信号。晶体管 MP4、MP5、MN4 和 MN5 用于控制 DPLD 管的开启与关闭;E1 和 E2 信号是晶体管 MN4 和 MN5 的栅极驱动信号。

能量恢复基本单元的控制信号和 OUTPUT 之间的关系见图 3 所示。

从图 3 可以看出,当 OUTPUT 电平从零转变为 V_{pp} 时,只要 STB 信号处于下降沿同时 CSE 信号置高,电荷就会从储能电容 C_{EC} 中转移到负载电容 C_L ,经过 t_1 时长之后,CSE 信号由高变为低,OUTPUT 的电平通过 MP3 晶体管被上拉至

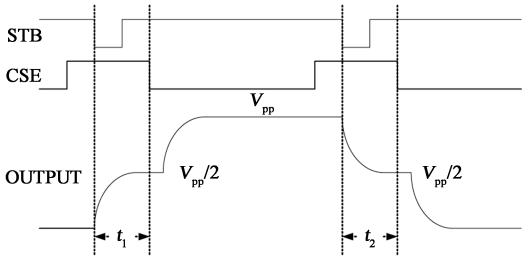


图 3 能量恢复基本单元输出波形
Fig. 3 Output waveform of energy recovery unit

V_{pp} 。当 OUTPUT 电平从 V_{pp} 转变为零时,只要 STB 信号处于下降沿同时 CSE 信号置高,电荷就会从负载电容 C_L 中转移到储能电容 C_{EC} ,经过 t_2 时长之后,CSE 信号由高变为低,OUTPUT 的电平通过 MN3 晶体管被下拉至零电位。寻址电极上的电荷被转移到 C_{EC} 里存储起来,上述电荷转移的过程就是列驱动芯片能量恢复电路的工作过程。

3 能量恢复效率模型

3.1 CRC 分析模型

从上文分析的结果看,列驱动芯片能量恢复电路就在 t_1 和 t_2 时间段起作用。在 t_1 和 t_2 期间,DPLD 处于导通状态,导通电阻 R_{on} 是 DPLD 管最重要的参数。 t_1 期间,储能电容 C_{EC} 通过导通电阻为 R_{on} 的 DPLD 管向负载电容 C_L 充电; t_2 期间,负载电容 C_L 通过导通电阻为 R_{on} 的 DPLD 管向储能电容 C_{EC} 充电。这两个阶段属于信号与系统理论中零输入响应过程。 t_1 和 t_2 阶段的频域分析模型如图 4 所示;图中 $V_{out}(S)$ 是 OUTPUT 端的电压响应; R_{on} 是 DPLD 管的等效沟道导通电阻,通过测试 DPLD 管的 $I-V$ 特性曲线,

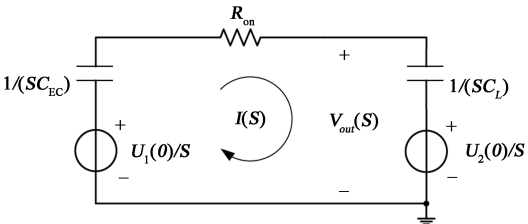


图 4 列驱动芯片能量恢复等效电路模型
Fig. 4 Energy recovery equivalent model of data driver IC

可以估算出 R_{on} 的平均值。对于漏电流能力较弱的 DPLD 管, t_1 和 t_2 时间段的 I - V 特性曲线斜率基本一样, 所以 t_1 和 t_2 时间段的 DPLD 管导通电阻 R_{on} 基本一样。由频域分析模型, 列方程解出 $V_{out}(S)$ 的频域表达式; 通过拉普拉斯反变换方法可以求解出的 $V_{out}(t)$ 时域表达式, 进而也就可以定量计算列驱动芯片的能量恢复效率。

储能电容 C_{EC} 和负载电容 C_L 之间的电荷交换可以用零输入响应来求解, 因为在电荷转移的过程中, 没有其他电压源或者电流源引入。

在图 4 中, $U_1(0)$ 和 $U_2(0)$ 是 C_{EC} 和 C_L 的初始电压, 其初始值如下:

$$\text{在 } t_1 \text{ 期间, } U_1(0) = V_{pp}/2, U_2(0) = 0; \quad (1)$$

$$\text{在 } t_2 \text{ 期间, } U_1(0) = V_{pp}/2, U_2(0) = V_{pp}; \quad (2)$$

$I(S)$ 是能量恢复工作过程中的电流, 按照基尔霍夫电压定律 KVL, $I(S)$ 的表达式如下:

$$I(S) = \left(\frac{U_1(0)}{S} - \frac{U_2(0)}{S} \right) / \left(\frac{1}{SC_{EC}} + R_{on} + \frac{1}{SC_L} \right). \quad (3)$$

$V_{out}(S)$ 的表达式如下:

$$V_{out}(S) = \frac{1}{SC_L} \times I(S) + \frac{U_2(0)}{S}. \quad (4)$$

把表达式(3), 代入表达式(4), 可以得到如下表达式(5):

$$V_{out}(S) = \frac{U_2(0)}{S} + \frac{U_1(0) - U_2(0)}{R_{on} C_L} \times \left(\frac{(C_{EC} + C_L)/R_{on} C_{EC} C_L}{S} + \frac{-R_{on} C_{EC} C_L / (C_{EC} + C_L)}{S + (C_{EC} + C_L)/R_{on} C_{EC} C_L} \right). \quad (5)$$

由于储能电容 C_{EC} 的容值比负载电容 C_L 大很多, 所以表达式(5) 可以简化为表达式(6):

$$V_{out}(S) = \frac{U_2(0)}{S} + [U_1(0) - U_2(0)] \times \left(\frac{1}{S} - \frac{1}{S + 1/R_{on} C_L} \right) = \frac{U_1(0)}{S} + [U_1(0) - U_2(0)] \times \frac{1}{S + 1/\tau}. \quad (6)$$

在表达式(6)中, $\tau = R_{on} C_L$, $V_{out}(t)$ 的时域解可以用拉普拉斯反变换求解出, 如表达式(7)所示:

$$V_{out}(t) = U_1(0)\epsilon(t) - [U_1(0) - U_2(0)] \times e^{-\frac{t}{\tau}} \times \epsilon(t). \quad (7)$$

把表达式(1)和(2)代入(7), 可以得到如下表达式(8)和(9):

$$\text{在 } t_1 \text{ 期间, } V_{out1}(t) = \frac{V_{pp}}{2} (1 - e^{-\frac{t}{\tau}}). \quad (8)$$

$$\text{在 } t_2 \text{ 期间, } V_{out2}(t) = \frac{V_{pp}}{2} (1 + e^{-\frac{t}{\tau}}). \quad (9)$$

从表达式(8)可以看出: 在 t_1 期间, 当充电时间 t 趋向于无穷大时, $V_{out1}(t)$ 的最大值是 $V_{pp}/2$; 所以能量恢复的效率表达式以及最大值表示为如下表达式(10)和(11):

$$\eta = V_{out1}(t)/V_{pp} \times 100\% = 0.5 \times (1 - e^{-t/\tau}) \times 100\%. \quad (10)$$

$$\eta_{max} = V_{pp}/2/V_{pp} \times 100\% = 50\%. \quad (11)$$

在实际 PDP 系统中, t_1 和 t_2 的值相等, 它们都称之为充电时间 T_E 。

从表达式(10)可以看出影响列驱动芯片能量恢复效率的主要因素有 3 个: 充电时间 T_E 、沟道

电阻 R_{on} 、负载电容 C_L 。提高列驱动芯片能量恢复的效率, 可以通过延长充电时间 T_E , 减小沟道电阻 R_{on} 和负载电容 C_L 的大小来实现。

选取一款 DPLD 管沟道电阻 R_{on} 为 2.7 kΩ 的列驱动芯片, 在充电时间 T_E 为 60 ns, $C_L = 50$ pF, $V_{pp} = 56$ V 的条件下, 利用表达式(8)和(9)可以计算出该列驱动芯片在充电和放电结束时列驱动芯片的 OUTPUT 电压分别是 10.84 V 和 45.16 V, 同时也可以计算出该列驱动芯片的能量恢复效率为 19.4%。

3.2 压控电流源模型

上述的 CRC 模型适用于漏电流能力较弱的 DPLD 管, 但是对于漏电流能力较强的 DPLD 管, 该模型就不能同时保证充电和放电过程中的模型精度了。具体原因如下: t_1 和 t_2 阶段的 DPLD 管的漏电流能力是不同的。按照经典 CMOS 理论^[17], MOS 管的漏电流 I_D 随 MOS 管的衬偏电压 V_{BS} 不同而变化。 t_1 和 t_2 阶段的衬偏电压 V_{BS} 是不同的。 t_1 和 t_2 阶段的衬底电压 $V_B = V_{pp}$, 并且由于储能电容 C_{EC} 比负载电容 C_L 大很多, 所以储能电容 C_{EC} 相当于是个恒定电压源, 并且电压

保持 $V_{pp}/2$ 不变。在 t_1 阶段, C_{EC} 和 C_L 的初始值分别是 $V_{pp}/2$ 和 0 V, 漏电流 I_D 从 C_{EC} 流向 C_L , C_{EC} 连着 DPLD 管的源极 S 端口, 即 $V_S = V_{pp}/2$, 所以 t_1 阶段的衬偏电压 $V_{BS} = V_{pp}/2$ 。在 t_2 阶段, C_{EC} 和 C_L 的初始值分别是 $V_{pp}/2$ 和 V_{pp} , 漏电流 I_D 从 C_L 流向 C_{EC} ; 在电荷存储过程中, C_L 上的电压由 V_{pp} 减小至 $V_{pp}/2$; C_L 连着 DPLD 管的源极 S 端口, 即 $V_S = V_{pp} \sim V_{pp}/2$, 所以此时的衬偏电压 $V_{BS} = 0 \text{ V} \sim V_{pp}/2$ 。

从上述的分析可以看出, t_1 阶段的衬偏电压 V_{BS} 比 t_2 阶段大。MOS 管的阈值电压 V_{th} 是随着衬偏电压 V_{BS} 的增大而增大的; 漏电流 I_D 的是随着阈值电压 V_{th} 的增大而减小的; 所以衬偏电压 V_{BS} 越大, 漏电流 I_D 就越小。

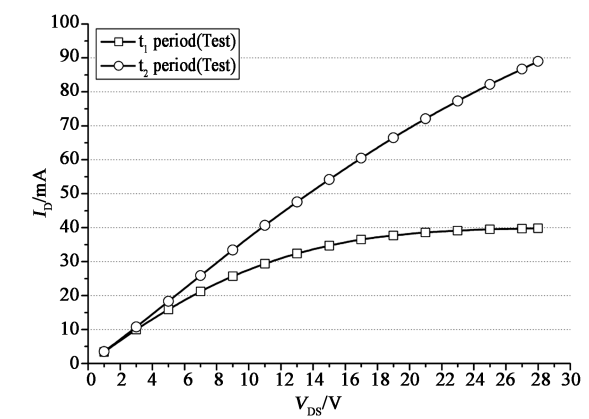


图 5 列驱动芯片 DPLD 管的 ID 测试曲线

Fig. 5 ID test curve of DPLD transistor of data driver IC

为了便于直观分析, 本文选取了一款漏电流能力较强的列驱动芯片, 实测了 t_1 和 t_2 阶段的漏电流 I_D 曲线, 如图 5 所示。 V_{DS} 和 I_D 使用的是绝对值; 图中可以看出, 在 V_{DS} 相同的情况下, t_2 阶段的漏电流 I_D 比 t_1 阶段大的要大。

按照列驱动芯片能量恢复的工作机理, DPLD 管在充电和放电的过程中充当一个开关的

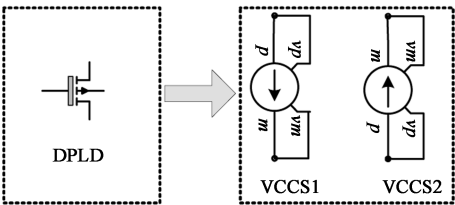


图 6 DPLD 管的等效模型

Fig. 6 Equivalent model of DPLD transistor

作用, 并且这个开关的导通电阻跟随 V_{DS} 变化。因此 DPLD 管可以用 VCCS(压控电流源) 来模拟, 如图 6 所示。

图 6 的 I_D - V_{DS} 曲线可以拟合出漏电流 I_D 和漏源电压 V_{DS} 之间的数学表达式。 t_1 和 t_2 阶段的 I_D - V_{DS} 数学表达式分别如下:

t_1 阶段: $I_D = 0.001\ 375V_{DS}^3 - 0.129\ 625V_{DS}^2 + 3.984\ 625V_{DS} - 0.698\ 375$, (12)

t_2 阶段: $I_D = -0.039\ 75V_{DS}^2 + 4.337\ 5V_{DS} - 1.898\ 75$. (13)

表达式(12)和(13)可以用来创建 VCCS 模型, 并嵌入到系统仿真软件 Saber 中去仿真充电和放电过程的能量恢复波形。 t_1 和 t_2 阶段的能量恢复仿真电路如图 7 所示。

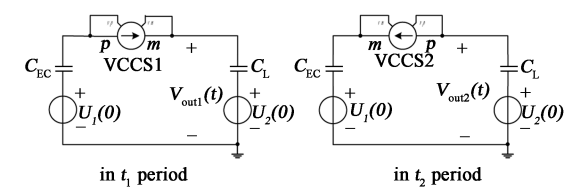


图 7 t_1 和 t_2 阶段的能量恢复仿真电路

Fig. 7 Energy recovery simulation circuit in t_1 and t_2 period

在图 7 中, VCCS1 和 VCCS2 两个仿真模型分别由表达式(12)和(13)创建。 $U_1(0)$ 和 $U_2(0)$ 是 C_{EC} 和 C_L 的初始值, 具体值跟表达式(1)和(2)一样。能量恢复效率 η 用表达式 $V_{out1}(t_1)/V_{pp} \times 100\%$ 来计算。利用图 7 的仿真电路得到 t_1 和 t_2 阶段的能量恢复波形, 分别如图 8 和 9 所示。

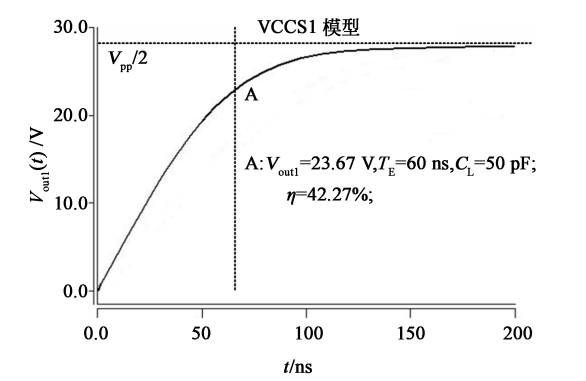


图 8 t_1 阶段充电能量恢复波形

Fig. 8 Charge waveform of energy recovery in t_1 period

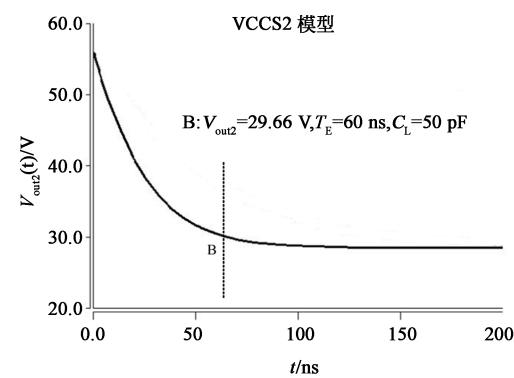


图 9 t_2 阶段放电能量恢复波形

Fig. 9 Discharge waveform of energy recovery in t_2 period

图 8 和图 9 中的仿真条件如下: $V_{pp}=56\text{ V}$, $C_{EC}=0.1\text{ }\mu\text{F}$, $C_L=50\text{ pF}$ 。当充电时间 T_E 为 60 ns 时,充电电压 V_{out1} (60 ns) 是 23.672 V,放电电压 V_{out2} (60 ns) 是 29.662 V,这款列驱动芯片的 ERC 效率为 42.27%。这个结果说明漏电流能力越强的 DPLD 管,对应的列驱动芯片的能量恢复效率越高。

4 测试结果

上述 CRC 模型和 VCCS 模型的精度可以用实际的 PDP 系统来验证。将上述两款模型分析所用的列驱动芯片分别绑定在 PDP 系统中,如图 10 所示。该 PDP 系统的分辨率是 $1\,366\times 768$,尺寸是 127 cm(50 in);寻址电极的等效电容为 50 pF。

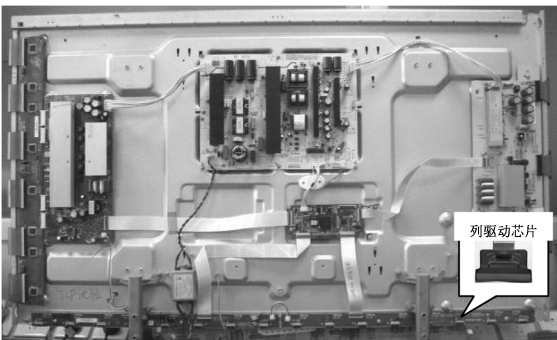


图 10 实测芯片能量恢复效率所用 50 寸 PDP 系统
Fig. 10 50 in PDP system for testing energy recovery efficiency

测试 CRC 模型和 VCCS 模型所用的列驱动芯片的能量恢复波形分别如图 11 和图 12 所示。

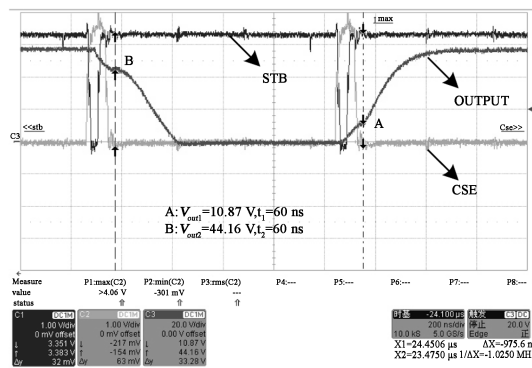


图 11 CRC 模型所用列驱动芯片的能量恢复波形
Fig. 11 Energy recovery waveform of the data driver IC used in CRC model

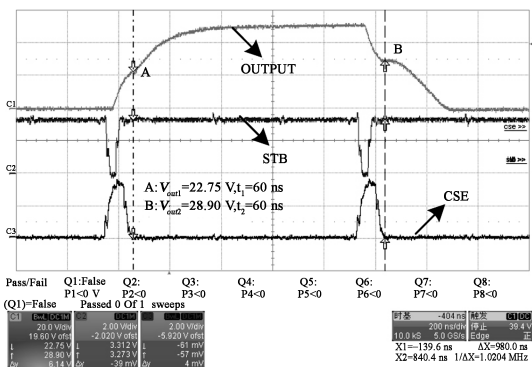


图 12 VCCS 模型所用列驱动芯片的能量恢复波形
Fig. 12 Energy recovery waveform of the data driver IC used in VCCS model

图 11 和 12 中的测试点 A 和 B 的电压值分别是能量恢复充电和放电结束时刻的数值。CRC 模型分析所用的列驱动芯片的充电和放电电压分别是 10.87 V 和 44.16 V,VCCS 模型分析所用的列驱动芯片的充电和放电电压分别是 22.75 V 和 28.90 V。将 PDP 系统实测结果和模型计算仿真结果对比如表 1 所示。

表 1 PDP 系统测试和模型仿真结果对比

Tab. 1 Comparison between system test and model simulation

对比项目	V_{out1} (60 ns)	V_{out2} (60 ns)
CRC 模型用列芯片计算结果	10.84 V	45.16 V
CRC 模型用列芯片系统测试结果	10.87 V	44.16 V

续表

对比项目	V_{out1} (60 ns)	V_{out2} (60 ns)
VCCS 模型用列芯片 仿真结果	23.67 V	29.66 V
VCCS 模型用列芯片 系统测试结果	22.75 V	28.9 V
CRC 模型误差	0.28%	2.26%
VCCS 模型误差	4.04%	2.63%

由表 1 的模型误差结果可以看出,VCCS 和 CRC 模型的精度都很高,模型误差分别是 2.26% 和 4.04%。

5 结 论

提出了两种模型来仿真计算 PDP 列驱动芯

片的能量恢复效率。CRC 模型有具体的解析结果,可以推论出影响 PDP 列驱动芯片的能量恢复效率的因素有 3 个:充电时间 T_E ,沟道电阻 R_{on} ,负载电容 C_L 。VCCS 模型弥补了 CRC 模型在强漏电流能力的 DPLD 管分析上存在的不足,经过曲线拟合方式得到的漏电流 I_D 和漏源电压 V_{DS} 之间的多项式表达式可以很方便地嵌入系统仿真软件 Saber 中进行列驱动芯片的能量恢复波形仿真。模型仿真计算结果和实际系统测试的结果对比表明 CRC 和 VCCS 模型都具备较高的精度,模型误差分别是 2.26% 和 4.04%。两种模型分析的结果表明,沟道电阻 R_{on} 对列驱动芯片的能量恢复效率影响很大,使用较小 R_{on} 的 DPLD 管可以显著提高 PDP 列驱动芯片的能量恢复效率。

参 考 文 献:

[1] 卢海平,刘伟奇,康玉思,等.超大视场头盔显示光学系统设计[J].光学精密工程,2012, 20(5):979-987.
Lu H P, Liu W Q, Kang Y S, *et al.* Design of compact optical system in wide-angle head mounted display [J]. *Opt. Precision Eng.*, 2012, 20(5): 979-987. (in Chinese)

[2] Kuei Y L, Paul C C. A new AMOLED pixel circuit with pulsed drive and reverse bias to alleviate OLED degradation[J]. *IEEE Trans. Electron. Dev.*, 2012, 59(4):1123-1130.

[3] 常锋,孙志远,王瑞光,等.LED 显示图像的非均匀度校正改进方法[J].光学精密工程,2011, 19(4):929-937.
Chang F, Sun Z Y, Wang R G, *et al.* Improvement of nonuniformity correction of LED display images [J]. *Opt. Precision Eng.*, 2011, 19(4): 929-937. (in Chinese)

[4] 王勇森,华国环,何晓莹,等.基于 PDP 驱动技术的行扫描芯片浪涌电压抑制方法[J].液晶与显示,2012, 27(1): 98-102.
Wang Y S, Hua G H, He X Y, *et al.* Inhibition method of scan driver IC's surge voltage based on PDP driving technology [J]. *Chinese Journal of Liquid Crystals and Displays*, 2012, 27(1): 98-102. (in Chinese)

[5] 冯庆志,王淑荣,王晓君,等.PDP 荧光粉的相对亮度与 VUV 激发光谱的测量[J].光学精密工程,2008, 16(1): 59-63.
Feng Q Z, Wang S R, Wang X J, *et al.* Measurements of relative luminance and VUV excitation spectra for PDP phosphors [J]. *Opt. Precision Eng.*, 2008, 16(1): 59-63. (in Chinese)

[6] Value Electronics. (2013) Samsung, panasonic plasma TVs trounce the LED competition (Again) at flat panel shootout 2013 [DB/OL]. Available: <http://www.valueelectronics.com/>.

[7] Yeoul N, Seok J H, Junkyu M, *et al.* A processor-based decoupled timing controller for flexible and low-cost 2D/3D plasma display panel design [J]. *IEEE Trans. Consum. Electron.*, 2011, 57(1):19-27.

[8] Xiao N Z, Chun L L, Zhen T T, *et al.* Analysis of the address power in PDPs with a newly developed equivalent circuit model [J]. *IEEE Trans. Consum. Electron.*, 2007, 53(2):243-248.

[9] Jie L, Xiao Y H, Shen X, *et al.* A review of energy recovery circuits for plasma display panels [J]. *IETE Technical Review*, 2011, 28(1):40-49.

[10] Sangshin K. A review of switch-mode sustain drivers with resonant networks for plasma display panels [J]. *IEEE Trans. Ind. Electron.*, 2010, 57(5):1624-1625.

[11] Sang K H, Myung J Y. High performance and low cost single switch current fed energy-recovery circuit for AC plasma display panel [J]. *IEEE Trans. Power Electron.*, 2007, 22(2):338-345.

[12] Sangshin K, Jin W J, Dong M L, *et al.* A new sustain driver with energy recovery circuit based on low-voltage components and low-voltage power supply for AC plasma display panel [J]. *IEEE Trans. Consum. Electron.*, 2008, 54(3):1321-1328.

[13] Ling G M, Zhi H L, Chun L L. Energy recovery circuit with auxiliary power supply for AC plasma display panel [J]. *IEEE Trans. Consum. Electron.*, 2007, 53(2):765-768.

[14] Jae K P, Hyun L D, Bong H K. Asymmetric current buildup sustainer for AC plasma display panel [J]. *IEEE Trans. Ind. Electron.*, 2008, 55(4):1863-1870.

[15] Byong D C. Enhancement of current driving capability in data driver ics for plasma display panels [J]. *IEEE Trans. Consum. Electron.*, 2009, 55(3):992-997.

[16] Qian Q S, Sun W F, Li H S, *et al.* Reliability investigations and improvements of the pLED MOS for PDP data driver ICs [J]. *Semicond. Sci. Technol.*, 2011, 26(5):1-6.

[17] Behzad R. *Design of Analog CMOS Integrated Circuit* [M]. Boston: McGraw-Hill, 2001:23-24.

作者简介: 华国环(1981—),男,江苏泰兴人,博士,讲师,主要从事数模混合集成电路及传感器采集系统方面的研究。E-mail:hgh20010@163.com